



**FAKULTEIT INGENIEURSWESE**  
**FACULTY OF ENGINEERING**



<b>Syferstelsels 144</b> <i>Digital Systems 144</i>		<b>Eerste Eksamen</b> November 2003 <i>First Examination</i> November 2003	
<b>Tydsduur:</b> <i>Duration:</i>	<b>3 h</b>	<b>Volpunte:</b> <i>Full marks:</i>	<b>150</b>
Eksaminator: <i>Examiner:</i>		Mede-eksaminator(e): <i>Co-examiner(s):</i>	
Prof PJ Bakkes		Dr MM Blanckenberg, mnrre H Berner en C Mouton	

Sertifisering <i>Certification</i>	
Opgestel: <i>Set:</i>	Gemodereer: <i>Moderated:</i>
Eksaminator <i>Examiner</i>	Mede-eksaminator <i>Co-examiner</i>

<p style="text-align: center;"><b>Instruksies:</b> <b>Instructions:</b></p> <ol style="list-style-type: none"><li>1. Beantwoord al die vrae. <i>Answer all the questions.</i></li><li>2. Sakrekenaars mag <u>nie</u> gebruik word nie. <i>Pocket Calculators may <u>not</u> be used.</i></li><li>3. Toon alle stappe wat u volg om 'n vraag te beantwoord, duidelik. Indien enige inligting na u mening ontbreek, maak aannames en gaan voort. <i>Show all steps you follow in answering a question clearly. If any information lacks in your view, make assumptions and carry on.</i></li><li>4. Die punte vir elke vraag word regs van die vraagnommer in vierkantige hakies aangedui. <i>The marks for each question are indicated to the right of the question number in square brackets</i></li></ol>
--

**Vraag 1/Question 1****[15]**

Teken die stroombane (op hekvlak) van die volgende en beskryf die werking daarvan met behulp van tyddiagramme

- gehekte D-tipe grendel
- meester-slaaf negatief-kantgesnellerde D-tipe wipkring

*Draw the circuits (at gate level) of the following and describe its operation with the aid of timing diagrams:*

- gated D-type latch*
- master-slave negative edge triggered D-type flip-flop*

**Vraag 2/Question 2****[20]**

Vereenvoudig die volgende logiese vergelykings met behulp van Karnaughdiagramme. Toon alle stappe wat u volg.

- $F = (A + B + C' + D')(C + D')(A + B + C + D)(A + B' + C' + D')$  en gee die resultaat in produk-van-som vorm.
- $F = ABC'D' + CD' + ABCD + B'C'D'$  en gee die resultaat in som-van-produk vorm.

*Simplify the following logical functions with the aid of Karnaugh maps. Show all steps you follow.*

- $F = (A + B + C' + D')(C + D')(A + B + C + D)(A + B' + C' + D')$  and give the result in product-of-sum form.
- $F = ABC'D' + CD' + ABCD + B'C'D'$  and give the result in sum-of-product form.

**Vraag 3/Question 3****[15]**

Teken die stroombaan van 'n vier-bis sinchroon parallel-laaibare binêre opteller (met 'n aktiveerlyn) wat D-tipe wipkringe gebruik en beskryf die werking daarvan aan die hand van 'n tyddiagram.

*Draw the circuit diagram of a four bit synchronous parallel loadable binary up counter (with enable line) that use D-type flip-flops and describe its operation with the aid of a timing diagram.*

**Vraag 4/Question 4****[25]**

Vereenvoudig die volgende funksies deur van Karnaughdiagramme gebruik te maak en skryf beide in die minimum som-van-produk en produk-van-som vorms. Toon in elke geval alle priem implikante aan sowel as die essensiële priem implikante in afsonderlike Karnaughdiagramme.

*Simplify the following functions by using Karnaugh maps and write both in the minimum sum-of-product and product-of-sum forms. Show in each case the prime implicants and essential prime implicants in separate Karnaugh maps.*

- a)  $F(A,B,C) = \sum m(0,3,5,7)$
- b)  $F(A,B,C,D) = \sum m(0,1,2,4,8,9,10)$
- c)  $F(A,B,C,D) = \sum m(0,1,2,7,8,12) + D(4,9,10)$

**Vraag 5/Question 5**

**[20]**

Teken die stroombane (op hekvlak) van die volgende:

- a) 2-na-1 multiplekser met 1-bis wye data,
- b) 2-na-1 multiplekser met 2-bis wye data.

Gebruik nou bogenoemde twee multipleksers as boublokke om die volgende multipleksers te konstrueer:

- a) 4-na-1 multiplekser met 2-bis wye data,
- b) 16-na-1 multiplekser met 1-bis wye data.

*Draw the circuit diagram (on gate level) of the following:*

- a) 2-to-1 multiplexer with 1 bit wide data,
- b) 2-to-1 multiplexer with 2 bit wide data.

*Now use the above two multiplexers as building blocks to construct the following:*

- a) 4-to-1 multiplexer with 2 bit wide data,
- b) 16-to-1 multiplexer with 1 bit wide data.

**Vraag 6/Question 6**

**[30]**

'n Toestandmasjien word benodig wat die sekwensie 0110 sal waarneem in 'n stroom bisse wat sinchroon met die klok ontvang word op ingang lyn w. Wanneer hierdie patroon waargeneem word, moet die uitgang f hoog gaan. Die laaste bis '0' van 'n geldige sekwensie moet nie as die eerste bis '0' van 'n nuwe patroon beskou word nie. Ontwerp so 'n toestandmasjien met met D-tipe wipkringe deur van volgende twee tegnieke gebruik te maak:

- a) Moore masjien,
- b) Mealy masjien.

*A state machine is required that will detect a sequence of 0110 in a stream of bits that it receives synchronously with the clock on input line w. When this sequence is detected, a single output f must go high. The last bit '0' of a valid sequence must not be counted as the first bit '0' of a new pattern. Design such a state machine with D-type flip-flops using the following two techniques:*

- (a) Moore machine,
- (b) Mealy machine.

**Vraag 7/Question 7**

**[25]**

Ontwerp 'n sekvensiebaan met een ingangbis  $w$  en twee uitgangbisse  $c_1$  en  $c_2$ . Die databisstroombat by  $w$  ingaan, verander sinchroon met die klok van die toestandmasjien. Die spesifikasie van die baan vereis die volgende: wanneer 'n bispatroon 0101 by  $w$  arriveer moet  $c_1$  hoog gaan vir een klokperiode en wanneer die bispatroon 0111 is moet  $c_2$  hoog gaan vir een klokperiode.

Maak gebruik van 'n Moore toestandmasjien met D-tipe-wipkringe. Toon volledig die ontwerpprosedure insluitend toestanddiagram, tyddiagram en Karnaughdiagramme tot by die stroombaan.

*Design a sequential circuit with one input bit  $w$  and two output bits  $c_1$  and  $c_2$ . The data bit stream that enters at  $w$ , changes synchronously with the clock of the state machine. The specification of the circuit requires the following: when a bit pattern 0101 arrives at  $w$ ,  $c_1$  should go high for one clock period and when a bit pattern 0111 arrives at  $w$ ,  $c_2$  should go high for one clock period.*

*Use a Moore state machine with D-type flip-flops. Show the design procedure in detail including state diagram, timing diagram and Karnaugh maps up to the circuit.*